Proyecto Digital II (AVANCE)

Universidad Nacional De Colombia

David Ricardo Martínez, Juan Sebastián Roncancio

{dramartinez,[jsroncancioa}@unal.edu.co](mailto:jsroncancioa%7d@unal.edu.co)

A continuación se presentara un avance sobre el proyecto a realizar en la asignatura Electrónica Digital II, el cual tiene como objetivo el control de iluminación y enfocamiento por medio de motores paso a paso, hasta el momento se ha desarrollado bloques de programación para el control de los motores que controlaran la posición de las lámparas; aun no se han probado solo se tienen las estructuras. Estos módulos se han realizado en el lenguaje de descripción de hardware VHDL.

Los motores que elegimos para el desarrollo de este proyecto son útiles para la construcción de mecanismos que requieren de bastante precisión, la característica principal de estos motores es el hecho de poder moverlos un paso a la vez por cada pulso que se le aplique. Este paso puede variar desde 90° hasta pequeños movimientos de tan solo 1.8°, es decir, que se necesitarán 4 pasos en el primer caso (90°) y 200 para el segundo caso (1.8°), para completar un giro completo de 360°.

Para nuestra aplicación no es indispensable la precisión pero por cuestiones de facilidad y presentación decidimos usar estos motores. Cabe aclarar que los motores que usaremos son motores paso a paso bipolares

la corriente necesaria para hacer funcionar los motores es aproximadamente de 2A, como la FPGA que usaremos no alcanza a proporcionarnos esta corriente hemos decidido usar un circuito conocido como puente H, de este circuito será del que se sacara la corriente para alimentar los circuitos, nosotros usaremos un puente encapsulado comercial con referencia ULN 2803 ya que de los circuitos usados es el que menor número de componentes necesita para funcionar.

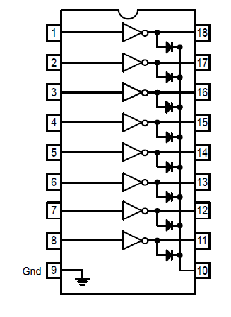


Figura # 1

Lo que hasta ahora hemos desarrollado se presenta a continuación en forma de un diagrama de esquemático.

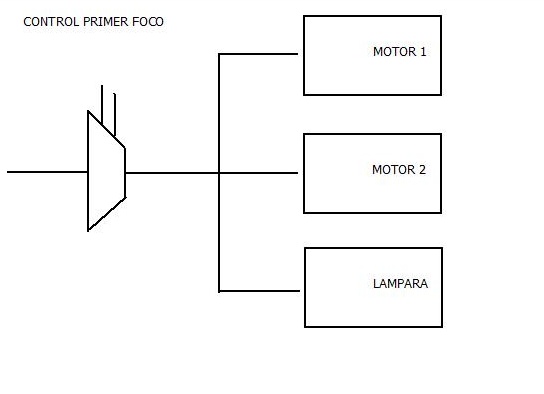
****

Figura # 2

Lo que se muestra en la figura 2 es la forma en que se controlaran los focos, un foco tiene la forma que se muestra en la figura 3, y está constituido por dos motores paso a paso y una lámpara.

El control de los motores se realizara con los módulos escritos en VHDL, y como cada foco tiene dos motores el control del funcionamiento de cada motor se realizara con un switch, es por esta razón que se presenta el multiplexor en la figura 2.

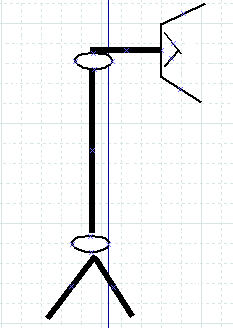


Figura # 3

Cada lámpara como la que se muestra en la figura 3 tiene dos grados de libertad, estos grados de libertad corresponden a los dos óvalos que se ven en la figura y estos óvalos representan cada motor la lámpara puede girar sobre el eje central 180°, y también puede girar 45° para buscar una iluminación centrada en un objeto en especifico.

Como se menciono anteriormente también se controlara la iluminación o la intensidad de cada una de las lámparas, esto se realizara con un dimmer. Para estas lámparas se usara una innovación tecnológica que son leds dispuestos en un cinta que se puede moldear hasta encontrar la mejor disposición para así encontrar la mejor iluminación con el menor costo.

A continuación se muestra un poco del código que llevamos para el desarrollo del proyecto**.**

Modulo que controla el programa:

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity Modulotop is

Port ( Clk : in STD\_LOGIC;

Rst : in STD\_LOGIC;

HS : out STD\_LOGIC;

VS : out STD\_LOGIC;

C : in STD\_LOGIC;

D : in STD\_LOGIC\_VECTOR (3 downto 0);

E : in STD\_LOGIC\_VECTOR (2 downto 0);

OT: in STD\_LOGIC\_VECTOR (1 downto 0);

end Modulotop;

architecture Estructural of Modulotop is

component div50a25 is

Port ( Clk : in STD\_LOGIC;

Rst : in STD\_LOGIC;

Clkdiv : out STD\_LOGIC);

end component;

signal aux1 : STD\_LOGIC;

signal aux2 : STD\_LOGIC;

signal aux3 : STD\_LOGIC;

signal aux4 : STD\_LOGIC\_VECTOR (9 downto 0);

signal aux5 : STD\_LOGIC\_VECTOR (9 downto 0);

signal aux6 : STD\_LOGIC;

signal aux7 : STD\_LOGIC\_VECTOR (7 downto 0);

begin

U0: div50a25 port map (Clk,Rst,aux1);

HS <= aux2;

VS <= aux3;

end Estructural;

Maquina de estados para el control de los motores

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity MAQUINAEST is

Port ( CLK : in STD\_LOGIC;

RST : in STD\_LOGIC;

A : in STD\_LOGIC;

B : in STD\_LOGIC;

S : out STD\_LOGIC\_VECTOR (3 downto 0));

end MAQUINAEST;

architecture Estructural of MAQUINAEST is

component LOGESTSIGUI is

Port ( E : in STD\_LOGIC\_VECTOR (2 downto 0);

A : in STD\_LOGIC;

B : in STD\_LOGIC;

D : out STD\_LOGIC\_VECTOR (2 downto 0));

end component;

component memoria is

Port ( CLK : in STD\_LOGIC;

RST : in STD\_LOGIC;

D : in STD\_LOGIC\_VECTOR (2 downto 0);

SAL : out STD\_LOGIC\_VECTOR (2 downto 0));

end component;

component LOGSALIDA is

Port ( E : in STD\_LOGIC\_VECTOR (2 downto 0);

SAL : out STD\_LOGIC\_VECTOR (3 downto 0));

end component;

signal AUX1 : STD\_LOGIC\_VECTOR (2 downto 0);

signal AUX2 : STD\_LOGIC\_VECTOR (2 downto 0);

signal AUX3 : STD\_LOGIC\_VECTOR (3 downto 0);

begin

U0: LOGESTSIGUI port map (AUX2(2 downto 0), A, B , AUX1(2 downto 0));

U1: memoria port map (CLK, RST, AUX1(2 downto 0), AUX2(2 downto 0));

U2: LOGSALIDA port map (AUX2(2 downto 0), AUX3(3 downto 0));

S <= AUX3;

end Estructural;

Modulo de lógica de estado siguiente es:

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity LOGESTSIGUI is

Port ( E : in STD\_LOGIC\_VECTOR (2 downto 0);

A : in STD\_LOGIC;

B : in STD\_LOGIC;

D : out STD\_LOGIC\_VECTOR (2 downto 0));

end LOGESTSIGUI;

architecture Estructural of LOGESTSIGUI is

begin

D(2) <= (NOT(E(2)) AND NOT(E(1)) AND A AND NOT(B)) OR

(NOT(E(2)) AND E(1) AND E(0) AND A AND B);

D(1) <= (NOT(E(2)) AND E(1) AND E(0) AND A AND NOT(B)) OR

(E(2) AND NOT(E(1)) AND NOT(E(0)) AND A AND NOT(B)) OR

(NOT(E(2)) AND NOT(E(1)) AND E(0) AND A AND B) OR

(NOT(E(2)) AND E(1) AND NOT(E(0)) AND A AND B);

D(0) <= (NOT(E(2)) AND E(1) AND NOT(E(0)) AND A) OR

(E(2) AND NOT(E(1)) AND NOT(E(0)) AND A) OR

(NOT(E(2)) AND NOT(E(0)) AND A AND B);

end Estructural;

Modulo Divisor de frecuencia:

library IEEE;

use IEEE.STD\_LOGIC\_1164.ALL;

use IEEE.STD\_LOGIC\_ARITH.ALL;

use IEEE.STD\_LOGIC\_UNSIGNED.ALL;

entity divida125 is

Port ( CLK : in STD\_LOGIC;

RST : in STD\_LOGIC;

S : out STD\_LOGIC);

end divida125;

architecture Behavioral of divida125 is

signal cont :STD\_LOGIC\_VECTOR (3 downto 0);

begin

Process (RST,CLK) -- Se genera señal con frecuencia 12,5 MHz

begin

if RST ='1' then

cont <= (others => '0');

s <= '0';

elsif CLK' event and CLK ='1' then

if cont = 3 then

cont <= (others => '0');

s <= '1';

else

cont <= cont + 1;

s <= '0';

end if;

end if;

end process;

end Behavioral;